

MANUFACTURING METHOD OF THIN-FILM SEMICONDUCTOR DEVICE

Patent number: JP2002231909
Publication date: 2002-08-16
Inventor: YONEHARA TAKAO; SAKAGUCHI KIYOBUMI
Applicant: CANON KK
Classification:
 - international: H01L21/02; H01L21/301; H01L21/322; H01L21/762;
 H01L21/78; H01L27/01; H01L27/12; H01L21/02; H01L21/70;
 H01L27/01; H01L27/12; (IPC1-7): H01L27/12; H01L21/02;
 H01L21/301; H01L21/322
 - european: H01L21/3063; H01L21/68T; H01L21/78; H01L21/98;
 H01L23/538V; H01L25/065N
Application number: JP20010023847 20010131
Priority number(s): JP20010023847 20010131

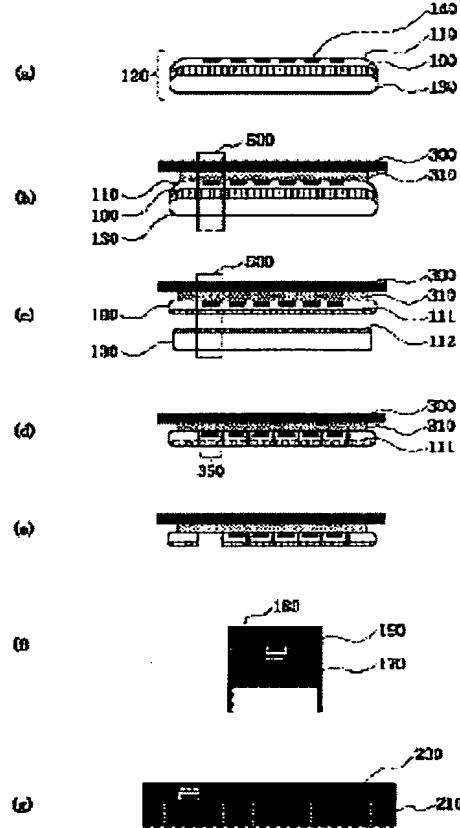
Also published as:

- EP1229582 (A2)
- US2002100941 (A)
- EP1229582 (A3)

[Report a data error here](#)

Abstract of JP2002231909

PROBLEM TO BE SOLVED: To provide a thin-film semiconductor device that reduces the number of processes, and at the same time influence to a device formation layer in separation. **SOLUTION:** This manufacturing method of thin-film semiconductor devices should include a process for preparing a member 120 that has a semiconductor film 110 with a semiconductor device and/or a semiconductor integrated circuit 140 on a separation layer 100, a process for separating the member 120 in the separation layer by the pressure of fluid, and a process for changing the semiconductor film into a chip after the separation process.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-231909

(P2002-231909A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコト(参考)
H 01 L 27/12		H 01 L 27/12	B
21/02		21/02	B
21/322		21/322	G
21/301		21/78	L

審査請求 未請求 請求項の数 8 O.L (全 9 頁)

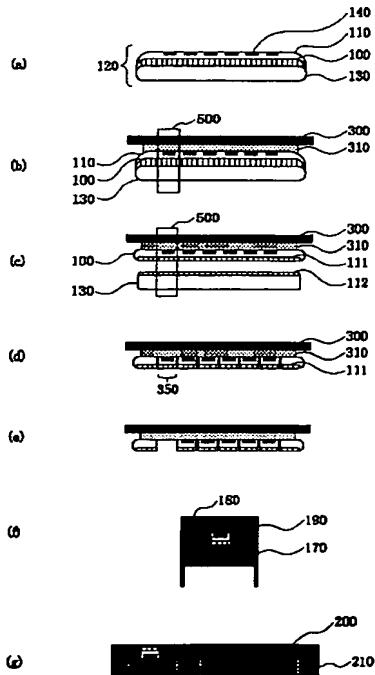
(21)出願番号	特願2001-23847(P2001-23847)	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成13年1月31日(2001.1.31)	(72)発明者	米原 隆夫 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72)発明者	坂口 潤文 東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(74)代理人	100090538 弁理士 西山 恵三 (外1名)

(54)【発明の名称】 薄膜半導体装置の製造方法

(57)【要約】

【課題】 少ない工程で、且つ分離の際のデバイス形成層への影響を少なくした薄膜半導体装置を提供する。

【解決手段】 半導体素子及び／又は半導体集積回路140を備えた半導体膜110を分離層100上に有する部材120を用意する工程、該部材120を流体の圧力により該分離層で分離する分離工程、及び該分離工程後該半導体膜をチップ化するチップ化工程を有することを特徴とする薄膜半導体装置の製造方法。



【特許請求の範囲】

【請求項 1】 半導体素子及び／又は半導体集積回路を備えた半導体膜を分離層上に有する部材を用意する工程、該部材を流体の圧力により該分離層で分離する分離工程、及び該分離工程後該半導体膜をチップ化するチップ化工程を有することを特徴とする薄膜半導体装置の製造方法。

【請求項 2】 前記部材は、半導体基板表面に多孔質層を形成し、且つ該多孔質層表面に前記半導体膜を形成した後、前記半導体素子及び／又は半導体集積回路を形成して得られる請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 3】 前記部材は、半導体基板表面に前記半導体素子及び／又は半導体集積回路を形成した後、該表面側から所定深さにイオンを注入して前記分離層を形成して得られる請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 4】 前記半導体基板は、単結晶シリコン基板、あるいは化合物半導体基板である請求項 2 あるいは 3 記載の薄膜半導体装置の製造方法。

【請求項 5】 前記分離工程は、流体による圧力を前記分離層に印加することで行なわれる請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 6】 前記分離工程後、前記半導体膜側に残留する分離層を除去してから前記チップ化工程を行なう請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 7】 前記分離工程後であって、且つ前記チップ化工程後に、前記半導体膜側に残留する分離層を除去する工程を行なう請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 8】 半導体素子及び／又は半導体集積回路を備えた半導体膜を分離層上に有する部材を用意する工程、該部材を所望の領域にチップ化するチップ化工程、及び該チップ化工程後該分離層で分離する工程を有することを特徴とする薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜半導体装置、及びその製造方法の関わる。

【0002】

【従来の技術】LSIチップを薄層化するため、シリコン基板に集積回路等を形成した後、基板裏面側からグラインダーにより薄層化する技術が知られている。

【0003】しかし、集積回路等が形成される層はシリコン基板の表面のみであり、大部分の領域が研削され捨てられてしまう。これでは限りある資源の有効活用とはいえない。一方では、半導体装置の微細化・高集積化に伴いチップ発熱密度が飛躍的に大きくなることが懸念され、早急にLSIチップを薄層化する技術の確立が求められている。

【0004】また、通常の半導体チップ自体にはフレキ

シブル性が無く、ICカードなど薄型デバイスに搭載する際には、曲げ強度を高める必要がある。これは、ICカードのように携帯される場合には、収容時に曲げの力が加わる場合があるからである。従って、薄型デバイスに搭載されるLSIチップ等にもその放熱性及び機械的柔軟性の点から薄層化が求められる。

【0005】特開平9-312349号公報には、LSIチップのフレキシブル化の為ために多孔質層による分離を利用した技術が記載されている。

【0006】具体的には図6(a)示すように半導体基体11上に多孔質層12を介してデバイス形成層10を設け、該デバイス形成層と保持基板16との接着剤17を介して貼り合せる。その後、半導体基体11と保持基板16との間に両者を引き離す方向の外力を与える。すると、機会的強度の弱い多孔質層12で分離が生じ、半導体基体11から保持基板16とともにデバイス形成層12が剥離する(図6(b))。

【0007】次に剛性を有する保持基板16側に面方向の引っ張りによって延伸するダイシング用フィルム18を接合する。そして、ダイシング装置によってデバイス形成層側から切り込み溝19を形成するダイシング作業を行う(図6(c))。その後、ダイシング用フィルムを面方向にのばして各チップに分断する。こうして、薄層化されたLSIチップが出来上がる。

【0008】

【発明が解決しようとする課題】しかしながら、上記LSIチップの薄層化技術では、分離工程が引っ張り力という外力により行われるので、予め形成されている半導体素子及び／又は半導体集積回路の一部に局所的に歪み等が加わりデバイス特性に影響を及ぼす場合が懸念される。

【0009】本発明の目的は上記点に鑑み、分離の際のデバイス形成層への影響を少なくした薄膜半導体装置、及びその製造方法を提供することにある。更に、デバイス形成層を薄膜化して、デバイス特性、とりわけ素子分離特性を向上することも目的とする。

【0010】

【課題を解決するための手段】本発明に係る薄膜半導体装置の製造方法は、半導体素子及び／又は半導体集積回路を備えた半導体膜を分離層上に有する部材を用意する工程、該部材を流体の圧力により該分離層で分離する分離工程、及び該分離工程後該半導体膜をチップ化するチップ化工程を有することを特徴とする。

【0011】流体の圧力により分離することで、分離の際に半導体素子等へ加わる局所的な応力を回避することができる。

【0012】ここで、前記部材は、半導体基板表面に多孔質層を形成し、且つ該多孔質層表面に前記半導体膜を形成した後、前記半導体素子及び／又は半導体集積回路を形成して得られたり、半導体基板表面に前記半導体素子及び／又は半導体集積回路を形成した後、該表面側か

ら所定深さにイオンを注入して前記分離層を形成して得られる。

【0013】また、前記分離工程後、前記半導体膜側に残留する分離層を除去してから前記チップ化工程を行なったり、あるいは前記分離工程後であって、且つ前記チップ化工程後に、前記半導体膜側に残留する分離層を除去する工程を行なうこともできる。

【0014】また、本発明に係る薄膜半導体装置の製造方法は、半導体素子及び／又は半導体集積回路を備えた半導体膜を分離層上に有する部材を用意する工程、該部材を所望の領域にチップ化するチップ化工程、及び該チップ化工程後該分離層で分離する工程を有することを特徴とする。

【0015】チップ化工程後に分離することで、良品チップについてのみ分離層による分離により薄層化することができる。ウエハ面積に依存することなく効率よく分離することができる。

【0016】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態につき図1を用いて説明する。

【0017】まず、図1(a)に示すように、半導体領域130上に分離層100を介して半導体素子及び／又は半導体集積回路140を備えた半導体膜110を有する部材120を用意する。上記半導体膜110に半導体素子及び／又は半導体集積回路140を形成する方法に関しては後述する。

【0018】そして、該部材120を分離層100で分離する。具体的には、分離層100側面に流体による圧力を印加する。印加の仕方としては、液体、あるいは気体からなる流体を高圧のジェットとして分離層100の側面に噴きつけたり、分離層に静圧を印加する。

【0019】分離に際し、部材120を支持部材300と接着層310を介して貼り合わせておいても良い（図1(b)）。勿論、支持部材300に貼り合わせる工程は省略してもよい。接着層としては、エポキシ系接着剤や他の接着剤を用いることができる。

【0020】こうして、部材120は分離層100で分離される（図1(c)）。

【0021】次に、半導体膜110を所望の半導体素子及び／又は半導体集積回路毎にチップ化することで（図1(d)）、単数あるいは複数の薄膜半導体装置350が得られる。なお、図1(d)における切り込み溝の先端は、接着層310まで達しなくても良い。例えば、支持部材300を伸縮可能な材質にすることにより、110が完全に切れていないくとも300を伸ばすことにより取り出すことができる。

【0022】薄膜半導体装置350に分離層100の一部111が残留する場合がある。分離工程後、チップ化工程の前に当該残留部分111を研磨、研削あるいはエッチング等により除去してもよい。研磨等行わず、水素を含む雰囲気中で熱処理してもよい。また、チップ化工程の後に、

薄膜半導体装置350の底面の残留部111を個々に除去してもよい。

【0023】チップ化後には、他の回路との接続、あるいはパッケージングを行うことができる。勿論、当該残留部分を残したまま、パッケージングを行ってもよい。即ち、図1(f)のように残留分離層111を介して支持基体170上に薄膜半導体装置350を載置したり、図1(g)のように、プラスチックカード上に移設することもできる。なお、180は封入用樹脂、190はワイヤ、200は封止樹脂／フィルム、210はプラスチックカードである。また、残留分離層はゲッタリングサイトになり得るので、プロセス中の金属汚染耐性が増す。

【0024】なお、図1(b)における領域500を拡大した図を図4に示す。

【0025】図4(a)はデバイス層140と支持部材300とを接着層310を介して貼り合わせた様子を示す。図4(b)は分離層100で分離が行われた場合の様子を示す。図4(c)は、支持基体300とデバイス層140が貼り合わされた状態でパッケージ台510に載置された様子を示す。515は接着層である。図4(d)はデバイス層140と支持部材300とを分離する様子を示す。このように、図1(d)でのチップ化の際に切り込み溝を支持部材300まで到達させておけば、図4(c)→(d)のように支持部材に貼り合せたまま薄膜半導体装置をパッケージ台に載せ、その後支持部材を取り除くということも可能である。図4(e)は具体的にパッケージ台510とデバイス層とを配線520で接続した場合の例を示す。図4(f)はICカード530に載置した場合の例である。なお、図4(e)、(f)ではデバイス層140をパッケージ台に対して上面に配置する場合を示したが、図4(g)、(h)のようにデバイス層140側を貼り合わせ面にしてよい。

【0026】（部材、分離層）部材120の作製は主として、陽極化成による多孔質層を利用する方法、あるいは水素、窒素、若しくはヘリウム等の希ガスをイオン注入したイオン注入層を利用する方法がある。

【0027】前者による場合は、まずシリコン基板を陽極化成し、表面に分離層として機能する多孔質層を形成する。その後多孔質層上にCVD法等により半導体膜を形成した後、該半導体膜に通常の半導体製造プロセスを経て半導体素子及び／又は半導体集積回路を作製する。こうして部材120が得られる。

【0028】後者による場合は、シリコン基板（あるいはエピタキシャルウエハ）表面に、半導体素子及び／又は半導体集積回路を作製する。その後、当該素子等表面上に必要に応じて保護膜を形成した後、所望の深さに水素イオン注入し分離層として機能するイオン注入層を形成する。こうして部材120が得られる。なお、シリコン基板表面から所定の深さにイオン注入層を形成した後、基板表面側の領域にデバイスを形成しても良い。イオン

注入量が多い場合には、デバイス形成プロセスにおいて、剥離現象が生じることも考えられるので、注入量を少なくして（その後必要に応じてアニールすることにより）、デバイス形成プロセス中に剥離が生じないように設計する。

【0029】（分離層）なお、陽極化成を用いて多孔質層を形成する場合には、当該多孔質層を多孔度の異なる複数の層で構成することもできる。例えば、半導体領域130側から高多孔度層、その上に低多孔度層と2層構成にしても良いし、あるいは半導体領域130側から第1の低多孔度層、高多孔度層、第2の低多孔度層と3層構成にすることもできる。高多孔度層の場合の多孔度は、10%から90%、低多孔度層の場合の多孔度は、0%から70%の範囲で利用可能である。多孔度の異なる複数の層の形成は、陽極化成の際の電流密度を変えたり、化成溶液の種類あるいは濃度を変えることで実現できる。

【0030】陽極化成により多孔質層を形成した場合には、該多孔質層上へ半導体膜110を成長させるに先だって、多孔質の孔の内壁に窒化膜あるいは酸化膜などの保護膜を設ける保護膜形成工程、や水素を含む雰囲気中の熱処理工程を行うのがよい。勿論、上記保護膜形成工程後、前記熱処理工程を行うことも好ましい。

【0031】更に、CVD法により半導体膜110を成長させる場合には、所定の厚み（例えば10nm）までは、20nm/min.以下の低成長速度で行うのがよい。

【0032】（半導体膜）また、半導体膜110としては、非多孔質単結晶シリコン薄膜や、GaAs、InP、GaN等の化合物半導体膜を用いることができる。半導体膜が単結晶シリコンの場合に原料ガスとして、SiH₂C₁₂、SiHCl₃、SiCl₄、SiH₄、あるいはHClガスを添加しても良い。形成方法はCVD法に限らず、MBE法、スパッター法等も可能である。

【0033】なお、多孔質層を水素を含む雰囲気中で第1の熱処理した後、薄膜を成長させるに先だって当該第1の熱処理温度よりも高い温度で第2の熱処理することも好ましいものである。第1の熱処理温度としては、800°C～1000°C、第2の熱処理温度として、900°C～融点の範囲で利用できる。これにより多孔質層表面の孔の封止が十分行われるのである。例えば、第1の熱処理温度を950°Cで行い、第2の熱処理を1100°Cで行うことができる。

【0034】（部材）また、部材120としては、CZ法、M CZ法、あるいはFZ法などで作製された単結晶シリコンウエハのみならず、基板表面が水素アニール処理されたウエハ、あるいはエピタキシャルシリコンウエハなどを用いることができる。勿論、シリコンに限らずGaAs基板やInP基板等の化合物半導体基板も用いることができる。

【0035】（半導体素子及び／又は半導体集積回路）また、半導体素子及び／又は半導体集積回路140としては、CMOS、バイポーラトランジスタ、ダイオード、コイ

ル、キャパシタ等の素子、DRAM、マイクロプロセッサー、ロジックIC、メモリ等の半導体集積回路を作製することができる。素子や回路の用途としては、電子回路、発振回路、受・発光素子、光導波路、各種センサーなどを含む。

【0036】素子分離として用いるトレーナあるいはLOCOS（局所酸化）を多孔質層まで達するように行うことでも好ましいものである。

【0037】なお、個々のチップになる当該チップ間を、LOCOSあるいはメサエッチングし、チップ間には半導体膜が存在しないようにしておいてもよい。

【0038】（分離）分離方法としては、分離層側面に液体や気体等の流体を噴きつける、即ち高圧の流体ジェットを噴きつけることにより行うことができる。

【0039】流体としては、液体であれば水、エッティング液、アルコールなど、気体であれば空気、窒素ガス、アルゴンガス等を用いることができる。分離の際に超音波振動を印加してもよい。

【0040】分離に際して、分離層である多孔質層やイオン注入層が部材の側面に表出していない場合には、当該多孔質層を表出させてもよい。

【0041】静圧下（実質的に静止した流体による圧力下）で分離するには、例えば次のような圧力印加機構が必要になる。

【0042】即ち、部材の周辺部の少なくとも一部を取り囲んで密閉空間を構成するための密閉空間構成部材、及び前記密閉空間内に外部の空間よりも高い圧力が印加できる圧力印加機構である。

【0043】とりわけ分離層を水素、窒素、He、希ガス等のイオン注入により作製した場合には、400°Cから600°C程度の熱処理を施すことで、イオン注入により形成される微小気泡層（マイクロバブル層、マイクロキャビティ層）が凝集するので流体による圧力に加えて斯かる現象を利用して分離することもできる。CO₂レーザー等により加熱することもできる。

【0044】分離層側から行なうチップ化は、通常用いられるダイシング装置を用いることができる他、エッティングやレーザープレーリング、超音波カッター、高圧ジェット（例えば、ウォータージェット）なども用いることができる。エッティングにより行う場合は、HF+H₂O₂、HF+HN₃、アルカリ溶液などのエッティング液を用いることができる。レーザーとしては、YAGレーザー、CO₂レーザー、エキシマレーザー等である。

【0045】（第2の実施形態）次に、本発明の第2の実施形態につき図2を用いて説明する。

【0046】第1の実施形態と同様にして、半導体領域130上に分離層100を介して半導体素子及び／又は半導体集積回路140を備えた半導体膜110を有する部材120を用意する（図2（a））。

【0047】必要に応じて部材120を接着層310を介して

支持部材300に貼り合わせる（図2（b））。

【0048】次に、部材120に半導体領域130側から切り込み溝400を入れチップ化工程を行なう。切り込み溝の先端が半導体膜110と支持部材300の界面付近あるいは、接着層310付近まで到達していることが望ましい。そして、部材120からチップ化された微小半導体領域500を分離層115で分離する。こうして薄膜半導体装置が製造される。

【0049】なお、図2（d）～（f）は薄膜半導体装置350をパッケージングする方法の一例を示したものである。図2（d）に示すように、微小半導体領域500をプラスチックカード上に載置する。そして、分離層115で分離した後、樹脂200で封止する。勿論この方法に限ることなく、チップ化工程の後、図3（a）の様に微小半導体領域500を取り出し、分離層115で分離した後（図3（b））、基板215に載置することも可能である。この場合、図3（c）の様に半導体素子側を上面にすることも、また図3（d）の様に張り合わせ面側にすることも可能である。

【0050】分離化工程は、既にチップ化した後すなわち、シリコンウエハに比べて、分離面積を非常に小さくした後行われるので、引っ張り、圧縮、剪断等の外力を用いても構わないが、好ましくは記述の流体を用いて分離するのがよい。分離層115に熱を加えることで分離することも可能である。特に分離層が水素等のイオン注入層により形成されている場合には、レーザー等により局所的な加熱を行なうことも好ましい。

【0051】分離層、半導体膜、部材、半導体素子及び／又は半導体集積回路に関しては、上記実施形態1で説明したことをそのまま適用できる。

【0052】本実施形態のように、チップ化工程後に分離工程を行なうことで、大面積を一度に分離する場合に比べて、半導体素子への局所的な応力集中を低減することができる。更には、良品のチップについてのみ分離を行なうことで、歩留まりの向上にもつながる。

【0053】（実施例1）比抵抗0.01Ω・cmのP型の単結晶Si基板を用意し、HF溶液中において基板表面の陽極化成を行った。陽極化成条件は以下の通りであった。

電流密度	: 7 (mA · cm ⁻²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
時間	: 11 (分)
多孔質Si層の厚み	: 12 (μm)

多孔質Si層は、当該多孔質Si層上に高品質エピタキシャルSi層を形成させることができ、さらに分離層として用いることができるよう多孔度を調整した。具体的には、20%であった。なお、多孔質Si層の厚さは、上記厚さに限らず、数百μmから0.1μm程度まで使用できる。

【0054】この単結晶Si基板を400°Cの酸素雰囲気中で1時間酸化した。これにより多孔質Siの孔の内壁は熱酸化膜で覆われた。その後、この多孔質Si層の表面をフッ酸に浸漬し、孔の内壁の酸化膜を残して、多孔質Si層の表面の酸化膜のみ除去した。次に多孔質Si層上にCVD（Chemical Vapor Deposition）法により単結晶Si層を3μmエピタキシャル成長した。成長条件は以下の通りである。

ソースガス	: SiH ₂ C ₁ 2/H ₂
ガス流量	: 0.5 / 180 l/min
ガス圧力	: 80 Torr
温度	: 950°C
成長速度	: 0.3 μm/min

エピタキシャル成長に先立って、水素含有雰囲気中の熱処理を行なった。これは、表面孔を封止するためである。この熱処理に加えて、微小なSi原子を原料ガスなどにより添加し、その表面孔封止用の原子を補っても良い。

【0055】こうして得られる部材は、通常用いられているエピウエハと同一のウエハとして扱うことが出来る。異なるのは、エピ層の下に多孔質Si層が形成されて

いることのみである。このエピ層に、マイクロプロセッサー、ロジックIC、メモリ、等の回路を作製した。LSIの作製は、通常と全く同じ工程を通すことにより、従来と同一の性能を持つLSIを作製できた。なお、エピタキシャル成長後、デバイス領域形成に先だって、水素雰囲気中で熱処理することも好ましいものである。

【0056】多孔質Siの残留Si領域は空乏化しており、高抵抗化されている。これにより一種SOI的なデバイスの高速化、低消費電力化が実現される。

【0057】なお、素子分離としてトレンチを用いることにより、チップ面積の縮小が達成されウエハ内の取れ数も増大する。また、トレンチあるいはLOCOSを多孔質Si層まで達するようにすることにより、多孔質Si層の高抵抗性と合わせて、素子間絶縁性を達成することが出来た。

【0058】こうして出来たLSIを通常は裏面研削およびダイシングによるチップ化を行うのであるが、ここでは、前もって作製してあった多孔質Si層でウエハ全面を、基板側とLSI側に分離する。

【0059】分離は流体の圧力を利用した。具体的には、多孔質Si層側面に高圧のウォータージェットを噴きつけて分離を行なった。

【0060】なお流体としては以下のものを用いることができる。気体、液体、あるいは、それらに固体の粒体・粉体を含有したものがある。この実施例では、ウォータージェット（以下「WJ」と記述する）用いたが、エア

ージェット、窒素ガスジェット、その他気体ジェット、水以外の液体ジェット、氷やプラスチック片、研磨材の混ざった流体ジェット、あるいはこれらの静圧をかけることも可能である。流体は非常に微小な隙間へも流入し内部の圧力を上げることが可能で、外圧を分散して印加できることが特徴である。また、一部に極端に圧力がかかるないことから、もっとも分離しやすい個所を選択的に分離させるという特徴がある。本発明のように、半導体デバイスがすでに作製されている薄層全面を分離するには、最適の手段である。

【0061】なお、分離の際には表面側を他の支持部材で支えた方が好ましい。たとえば、フレキシブルなシート、ガラス基板、プラスチック基板、金属基板、他の半導体基板がある。これらの支持部材を接着剤でデバイス形成した基板の表面側と貼りあわせる。

【0062】支持部材で支えた第1の基板のエッジ付近に流体を印加し、多孔質Si層を全面で分離する。流体を印加する際には、第1の基板エッジに多孔質Siを表出させておいた方が好ましい。さらには、多孔質Si部が凹状になるように表出させておくと、より流体の圧力を多孔質Si層に効率よく印加することができる。

【0063】デバイス層側に残留した多孔質Siは、除去してもしなくても良い。

【0064】その後、デバイス層側をダイシングによってチップサイズに切り、それぞれのチップのパッケージングを行なった。分離面をパッケージ台に乗せて、表面側からワイヤーボンディングしても良いし、表面を伏せてパッケージしてもよい。図4(a)にその模式図を示す。510はパッケージ台、520は配線、141はトレンチ分離、142はバイポーラトランジスタ、143はウエル分離、

電流密度	: 8 (mA · cm ⁻²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
時間	: 5 (分)
多孔質Si層の厚み	: 6 (μm)

その後、以下の条件で陽極化成を行った。

電流密度	: 33 (mA · cm ⁻²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
時間	: 80 (秒)
多孔質Si層の厚み	: 3 (μm)

こうして、単結晶シリコン基板側から多孔度45%の高多孔度層、更にその上に20%の低多孔度層が形成された。その後、実施例1と同じ条件によりエピタキシャルシリコン層を低多孔度層上に形成し、更に集積回路等を形成した。

【0071】その後、多孔質シリコン層に水を噴射して基板を分離することができた。分離は、上述の2層の多孔質層の界面付近で生じた。

【0072】なお、2層の多孔質層の厚さは、6 μm/3 μmの構成でなくてもよく、陽極化成条件を変えることによって、厚さを可変させることができる。また陽極化成

144はpMOSトランジスタ、145はnMOSトランジスタである。141のトレンチ分離を分離層100まで達するようにならっても良い。

【0065】プラスチックカードに直接設置することで、ICカードを作製できる。

【0066】図4(b)はICカード530にデバイス層側を上面に設置した例を、図4(c)はデバイス層側を下面にした例を示している。

【0067】パッケージ台をヒートシンクとして用いれば、従来のバックグライナー方式に比較して格段の熱放散性を有する。バックグライナーによる裏面の薄層化は、通常数百ミクロンであるが、本発明では、[表面のエピ層の厚さ+多孔質Siの一部の厚さ(合計~<10ミクロン)]しか残留しないため、デバイスの熱発生源とヒートシンクの距離が狭まり、熱放散性が格段に向かう。なお、OEIC(Opto electronic Integrated Circuits)をエピ層に作製して、光透過性基板あるいは光導波路にパッケージすることもできる。なお、チップ化する際には、10cm × 10cm以下、好ましくは5cm × 5cm以下、更に好ましくは2cm × 2cm以下であることが好ましい。

【0068】なお、分離して残った単結晶Si基板は、必要に応じて表面再研磨、エッチング、水素を含む雰囲気下での熱処理等を行い、再度同じ工程に投入できた。あるいは、別目的の基板として利用することもできる。

【0069】(実施例2) 実施例1においては、多孔質層は1層であったが、本実施例においては、多孔度の異なる2層構成の多孔質層とした。

【0070】まず、シリコン基板表面の陽極化成を以下の条件で行った。

液は、HF : H₂O : C₂H₅OH = 1:1:1でなくとも良い。また、エタノールの代わりにIPA(イソプロピルアルコール)等の他のアルコールを用いても良い。アルコールは界面活性剤として反応泡のウェハ表面付着を防止することを目的としているので、アルコールでなくて他の界面活性剤でもよいし、界面活性剤を添加せずに超音波で表面付着泡を除去してもよい。

【0073】分離後、チップ化工程は、実施例1と同様とすることで、薄膜半導体装置を作製することができた。

【0074】(実施例3) 抵抗率14Ω · cmのP型の

単結晶Si基板を用意した。面方位は<100>であった。この単結晶Si基板表面に、マイクロプロセッサー、ロジックIC、メモリ等の回路形成層を作製した。

【0075】その後、回路形成層側から、所定の深さ（本実施例では、表面側から3μmの深さ）に水素イオンを注入してイオン注入層を形成した。注入量は、数E16からE17/cm²であった。注入に際して、最表面にCVD法によりSiO₂保護膜を形成しておいてもよい。

【0076】次に、デバイス形成層と支持部材としてのプラスチック基板（あるいはガラス基板、Si基板、フレ

電流密度	: 8 (mA · cm ⁻²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
時間	: 5 (分)
多孔質Si層の厚み	: 6 (μm)

その後、以下の条件で陽極化成を行った。

電流密度	: 33 (mA · cm ⁻²)
陽極化成溶液	: HF : H ₂ O : C ₂ H ₅ OH = 1 : 1 : 1
時間	: 80 (秒)
多孔質Si層の厚み	: 3 (μm)

こうして、単結晶シリコン基板側から多孔度45%の高多孔度層、更にその上に20%の低多孔度層が形成された。その後、実施例1と同じ条件によりエピタキシャルシリコン層を低多孔度層上に形成し、更に集積回路等を形成した。次に、支持部材としてのプラスチック基板（あるいはガラス基板、Si基板、フレキシブルフィルム、接着テープでもよい。）にデバイス層側を接着剤で貼り合わせた後、チップ化のためにエピタキシャル層と反対側、すなわち単結晶シリコン基板側からダイシングすなわちチップ化を行い、微小領域に分離した。

【0079】次に、当該微小領域を真空ピンセット等の保持手段で保持しつつ、前述の接着剤を必要に応じて溶かす等してチップを取り出し取り出し、デバイス層側が貼り合わせ面になるようにしてパッケージ台に載せた。その後、引っ張り力を加え分離層で分離した。こうしてパッケージ台に薄膜半導体装置を形成できた。このチップをプラスチックの樹脂で封止し、ICカードを作製した。

【0080】

【発明の効果】本発明によれば、薄膜化での分離工程を流体を用いて分離したり、シリコンウエハを所望の微小領域にチップ化した後に分離工程を行なうことで、分離

キシブルフィルム、接着テープでもよい。）を接着剤で貼り合わせた。その後、窒素ガスをイオン注入層側面に噴きつけて分離工程を行なった。

【0077】そして、実施例1と同様にチップ化工程を行いICカードを作製した。

【0078】（実施例4）比抵抗0.01Ω·cmのP型の単結晶Si基板を用意し、HF溶液中において基板表面の陽極化成を行った。陽極化成条件は以下の通りであった。

の際のデバイス形成層への影響を少なくした薄膜半導体装置を製造することができる。

【図面の簡単な説明】

【図1】本発明の実施形態の一例を示す模式的断面図である。

【図2】本発明の実施形態の一例を示す模式的断面図である。

【図3】本発明における実施形態の一例を示す為の模式的断面図である。

【図4】本発明における実施形態の一例を示す模式的断面図である。

【図5】本発明における実施形態の一例を示す模式的断面図である。

【図6】従来例を示すための模式的断面図である。

【符号の説明】

100 分離層

101 残留分離層

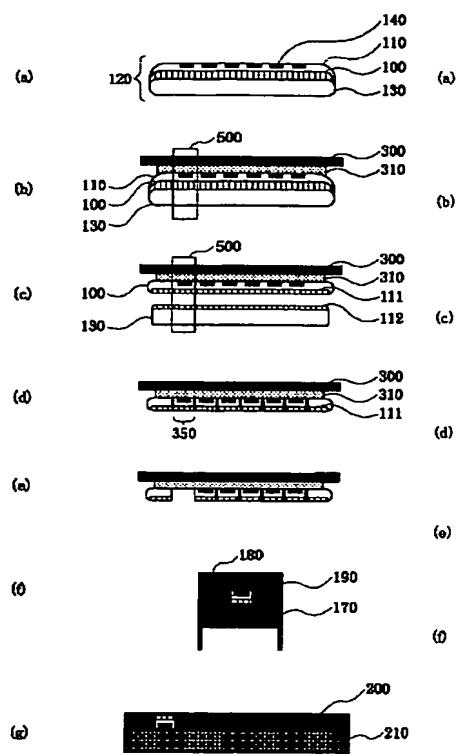
110 半導体膜

120 部材

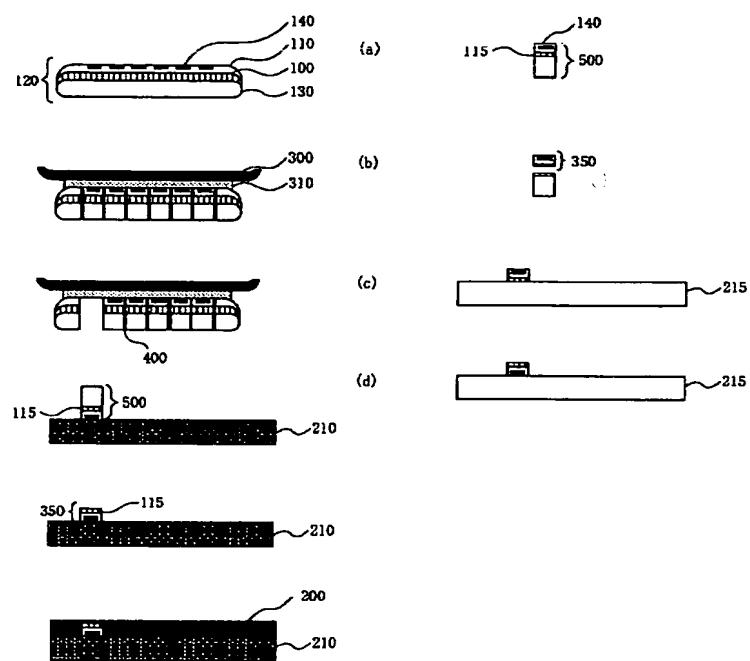
130 半導体領域

140 半導体素子又は半導体集積回路

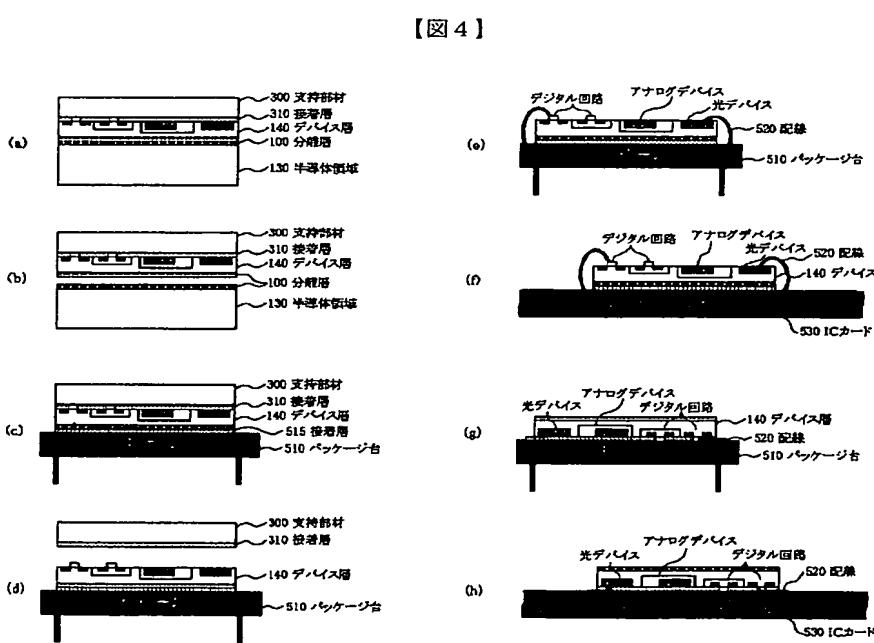
【図 1】



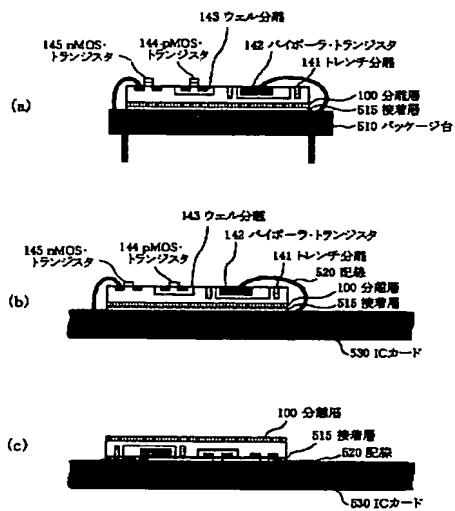
【図 2】



【図 3】



【図5】



【図6】

